

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **02067880 A**(43) Date of publication of application: **07.03.90**

(51) Int. Cl.

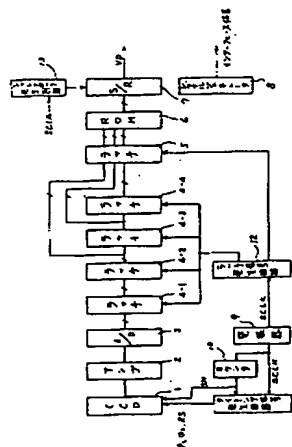
H04N 5/335**H04N 1/04****H04N 1/40****H04N 3/15****H04N 9/07**(21) Application number: **63219969**(71) Applicant: **CANON INC**(22) Date of filing: **02.09.88**(72) Inventor: **HAYASHI TOSHIO**(54) **IMAGE SENSOR DRIVING SYSTEM**

COPYRIGHT: (C)1990,JPO&Japio

(57) Abstract:

PURPOSE: To improve data transfer efficiency without adding an oscillating circuit for transferring data separately from a system clock by thinning periodically a clock pulse to transfer a charge in the analog shift register of an image sensor and driving the sensor.

CONSTITUTION: A timing signal generating circuit 11 forms the pulse based on the clock into which a system clock SCLK is 4-frequency divided. One pulse per four pulses is thinned and transfer pulses ϕ_{11} and ϕ_{12} are outputted. Consequently, when a color image sensor 1 is driven by the transfer pulses ϕ_{11} and ϕ_{12} , once per four shift operations, the CCD analog shift register is stopped, the picture elements of R, G and B are outputted and after that, a dummy output appears at the picture element signal output terminal of a CCD color image sensor 1. Thus, the data transfer efficiency can be improved without providing the second oscillating circuit for transferring the data separately from the system clock SCLK.



⑫ 公開特許公報(A) 平2-67880

⑬ Int. Cl.³H 04 N 5/335
1/04
1/40
3/15
9/07

識別記号

1 0 3

庁内整理番号

F 8838-5C
Z 7037-5C
D 6940-5C
A 7605-5C
8725-5C

⑬ 公開 平成2年(1990)3月7日

審査請求 未請求 請求項の数 2 (全8頁)

⑭ 発明の名称 イメージセンサ駆動方式

⑮ 特 願 昭63-219969

⑯ 出 願 昭63(1988)9月2日

⑰ 発 明 者 林 俊 男 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
 ⑱ 出 願 人 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
 ⑲ 代 理 人 弁理士 丸 島 儀 一

明 細 書

1. 発明の名称

イメージセンサ駆動方式

2. 特許請求の範囲

(1) フォトダイオードアレイで光電変換・蓄積した信号電荷をアナログシフトレジスタで転送し、順次読出しを行う。

イメージセンサのアナログシフトレジスタにおいて電荷を行わしめるためのクロックパルスを周期的に間引いて供給することを特徴とするイメージセンサ駆動方式。

(2) 特許請求の範囲第(1)項において、前記フォトダイオードアレイには所定周期色分解用のフィルタが付けられていることを特徴とするイメージセンサ駆動方式。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はスキヤナやファックスの機に、CCD等のイメージセンサにより光電的に画像を読み取るイメージセンサ駆動方式に関する。

〔従来の技術〕

CCDラインセンサ等のイメージセンサにより原稿画像を光電的に読み取り画像を電気的に処理する装置が数々提案されている。

また、色画像を読取るために、周期的に赤(R)、緑(G)、青(B)の色分解フィルタが付けられたフォトダイオードアレイを備えたカラーイメージセンサも提案されている。

このようなラインセンサは一般的に第8図の如くの構成である。

ここで、PDはライン状に配列された複数のフォトダイオードを有するフォトダイオードアレイ、CCD AおよびCCD Bは、それぞれ奇数番目および偶数番目のフォトダイオードに対応し、各フォトダイオードに蓄積された信号電荷を転送するCCDアナログシフトレジスタ、Oは出力段であり、CCD AおよびCCD Bにより2チャンネルに分離されて転送されてきた信号を1チャンネルに合成してビデオ信号Vを発生する。

この様な、ライン方向にR、G、Bのフィルタが

順次付けられたCCDカラーイジセンサを動作させるためには、一般には第9図に示すタイミングで、イメージセンサにシフトパルスSH、転送パルス ϕ_1 、 ϕ_2 、リセット^{パルス}RSを入力する。

シフトパルスSHはシフト電極をON、OFFさせるパルスで、これをONさせると感光部であるフोटダイオードアレイPDの信号電荷は、転送部であるCCDシフトレジスタCCD A、CCD Bに絶てて移送される。シフト電極をOFFした後、信号電荷は転送パルス ϕ_1 、 ϕ_2 によりCCDシフトレジスタCCD A、CCD Bを順次転送される。

CCDシフトレジスタは転送パルス ϕ_1 、 ϕ_2 の1周期で信号電荷を1段転送し、転送された信号電荷は出力段Oのフローティングキャパシタに流入する。流入した電荷は $V=q/c$ 分だけフローティングキャパシタの電圧を変化させる。この電圧変化は負荷抵抗に流れる電流を変化させて、電圧の信号OSとして出力される。

次の画素の信号電荷検出のためには、フローティングキャパシタの電圧を初期状態にもどす必

要があるため、リセットパルスRSを出力段Oに加え、フローティングキャパシタの電圧をキャンセルする。

信号OSは第9図の例では先頭の48ビットがダミービットであり、49ビット^めから有効信号となる。有効信号はR、G、Bの各画素信号が順次出力され、連続するR、G、B3画素を1組として、1組に相当する原稿上のエリアの色分解を行う。有効信号は1560ビット、即ち520組であり、全有効信号が出力された後、次のSHパルスまで、ダミービットのデータが出力される。

第1図示のCCDラインセンサから出力されたアナログ画像信号OSをデジタル画像信号に変換するまでの信号処理手順を第10図により説明する。

CCDランセンサ1で読み取られた画像信号は直流成分が加算されているので増幅部2内のDCカット部101で直流成分を除去した後サンプル・ホールド回路102により信号が各画素毎にサンプルホールドされ、アンプ部103にて信号増幅される。増幅された信号には、ノイズである微少の直流成分

が加算されているので、DCカット部104で、この直流成分を除去する。ノイズ除去された増幅信号は、A/D変換器3に入力され、各画素毎にアナログデジタル^{変換}される。

(発明が解決しようとしている問題点)

しかしながら、上記従来例による駆動方式においては、R、G、B1組の画像信号をY、M、C、Bk(Yはイエロ、Mはマゼンタ、Cはシアン、Bkは黒)のプリント信号に変換する方式をとる場合、CCDよりR、G、B1組の信号^{6x}読み出される時間内でのデータを出力する必要がある。

このとき、例えば ϕ_1 、 ϕ_2 が基本クロックであるシステムクロックSCLKを4分周したものであると、R、G、Bの3色分の信号読出しにSCLK12クロックを要す。よってY、M、C、Bkの4色のプリントデータを送出することを考えると、1色あたり3クロックで送出しなければならない。

または、 ϕ_1 、 ϕ_2 がシステムクロックSCLKを8分周したものであれば、1色あたり6クロック4色のプリントデータを送出する計算になるが、1

色あたりのクロックは3、6、9、12...というように3選倍クロックになる。

ところが、例えば画像再生部において、最も一般的である4×4のドットマトリックス内に打つY、M、C、Bkのドット数により色調を表現するという手法を用いる場合、R、G、B1組の画像信号の読出しに付き、プリントデータが2値、多値にかかわらず、Y、M、C、Bkを各4ビット計16ビットのプリントデータを送出される。

このとき、前述の如く1色あたり6クロックでデータ転送する場合には、Y、M、C、Bkの各4色ビットデータに無効ビット2ビットを付加し、1色あたり6クロックで転送する方法が考えられるが、転送されるデータの33%が無効であるので、データの転送効率が良くなく好ましくない。

この問題を解決するためには、システムクロックSCLKとは別個にデータ転送用の第2の発振回路を設ける必要があり、さらに第2の発振回路のクロックはシステムクロックSCLKに完全の同期させねばならない。

さらに、白色原稿等を読み取った場合には、第10図に示したアンプ部103の出力信号は、白色原稿の様にR、G、Bの信号の大きさが一致である状態が連続すると信号が直流信号に近似するため、DCカット部104で画像信号の一部までもが除去されてしまう。

〔問題点を解決するための手段〕

本発明は以上の点に鑑みてなされたもので、フォトダイオードアレイで光電変換・蓄積した信号電荷をアナログシフトレジスタで転送し、順次脱出しを行う。

イメージセンサのアナログシフトレジスタにおいて電荷転送を行わしめるためのクロックパルスを周期的に間引いて供給するとするイメージセンサ駆動方式を提供するものである。

〔実施例〕

第1図は本発明を適用したカラー画像読取装置のブロック図である。1は第8図示と同様にフォトダイオードアレイとアナログシフトレジスタを有し、カラー画像を読み取るR、G、Bストライプフィル

は所定周期のシステムクロックSCLKを発生する発振器、10はシステムクロックSCLKをカウントしてシフトパルスSHを発生するカウンタ、11はシステムクロックSCLK及びシフトパルスSHに基づいて転送パルス ϕ_1 、 ϕ_2 及びリセットパルスRSを発生するタイミング信号発生回路である。

第2図はCCDカラーイメージセンサ1の構成を示し、主走査方向に画素毎にRフィルタ41、Gフィルタ42、Bフィルタ43が順次繰り返してつけられているものである。

このCCDカラーイメージセンサ1で読み取った信号は連続するR、G、Bの3画素を1組として取扱い、ROM6は3画素分のエリアに相当するYMCBk各々1データを出力する。

第3図はタイミング信号発生回路11の構成図であり、81はTI社の74LS163等の4ビットカウンタ、82はTI社74LS74等のSET端子付Dタイプフリップフロップ、83はNANDゲート、85はANDゲート、86はインバータである。そしてシステムクロックSCLK及びシフトパルスSH

付CCDカラーイメージセンサで、その構成は第2図の様になっている。

2は第10図と同様にCCDカラーイメージセンサ1のアナログ画像信号を増幅する増幅部である。3は増幅部2によって増幅されたアナログ画像信号を各画素毎にデジタル画素信号に変換するA/D変換器、4-1~4-4はA/D変換器3から画素毎にシリアルに出力されるデジタル画素信号を1画素データ毎にサンプルするラッチ、5はラッチ4-2、4-3、4-4の出力データを4画素毎にサンプルするラッチ、12はラッチ4-1~4-4、5のラッチタイミングを制御するラッチ信号発生回路、6はラッチ5の出力データに応じたY、M、C、Bkの画像信号を予め格納されている変換テーブルを用いて出力するROM、7はROMから出力されるY、M、C、Bkの各画像信号をシリアルデータに変換するシフトレジスタ、13はシステムクロックSCLKに基づいてシフトレジスタ7のシフトクロックを発生するシフトクロック発生回路、8はインターフェース信号を発生するシグナルジェネレータである。9

に基づいて、第4図の如く動作して転送パルス ϕ_1 、 ϕ_2 及びリセットパルスRSを形成する。

第3図示のタイミング信号発生回路はシステムクロックSCLKを4分周したクロックを基本としてパルス形成する。そして転送パルス ϕ_1 、 ϕ_2 は4パルス当り1パルスが間引かれて出力される。

従って、この転送パルス ϕ_1 、 ϕ_2 にてCCDカラーイメージセンサ1を駆動するとCCDアナログシフトレジスタのシフト動作が4回当り1回停止し、R、G、Bの画素出力が順次行われた後CCDカラーイメージセンサ1の画素信号出力端子には第5図に示すようにダミーの出力があらわれる。

このようなタイミング信号によって駆動されるCCDカラーイメージセンサ1に読み取られたカラー画像信号は主走査方向に順次出力され、増幅部2で増幅された後、A/D変換器3に入力され、4ビットの画像信号に変換される。この信号はラッチ4-1~4-4によりダミー画素を含む連続した4画素分のデータが保持されラッチ2-4~4-4から3画素分のデータR、G、Bラッチ5に入力する。ラッチ

信号発生回路12からのラッチ4とラッチ5のラッチタイミングは第6図の様になっており、ダミー画素がラッチ4-1にラッチされた後にラッチ6がデータラッチ動作する。ラッチ5にラッチされたR、G、Bの画素データはそれぞれROM6の所定のアドレスに入力される。

ROM6は、入力されたR、G、Bのデータを補色変換、マスキング等を全て考慮したY、M、C、Bkの各色4ビット計16ビットの多値データに変換する。ROM6から出力される16ビットの平行データは、第7図の様にビット割りつけが成されており、16ビットシフトレジスタ7により、上位からシリアルデータVDに変換される。

シフトレジスタ7のシフトクロックのタイミング及びシフトレジスタ7の出力タイミングは第6図に示すとおりである。第5図に示す画像データとシステムクロックSCLKとの関係からもわかるように、データ転送クロックであるころのシフトレジスタ7のシフトクロックはシステムクロック発生回路13にて~~インバータ~~^{インバータ}等の簡易な構成でシステムクロック

画像信号に影響しないので、白レベルから黒レベルまで良好なノイズ除去が行われる。

〔発明の効果〕

以上説明したように、イメージセンサのアナログシフトレジスタにおいて電荷転送を行わしめるためのクロックパルスを周期的に間引いてセンサを駆動するよう制御したので、システムクロックと別個にデータ転送用の発振回路を付加することなく、R、G、B各1データ計3データの読み出しを行いながら、読取り信号に処理を行いながら処理信号を効率良く送出できる。

4. 図面の簡単な説明

第1図はカラー画像処理装置のブロック図、第2図はカラーイメージセンサのR、G、Bフィルタの構成を示す図、第3図はタイミングパルス発生回路の構成図、第4図は第3図の回路のタイミングチャート図、第5図はCCDカラーイメージセンサの駆動パルスのタイミングチャート図、第6図はラッチ及びシフトレジスタの駆動タイミングを示す図、第7図はROMから出力されるデータのビット割りつ

SCLKから容易に生成できる。

Y、M、C、Bkの各色4ビット信号は、ホスト側でシリアル・パラレル交換され、4×4のドットマトリクス内に打つドット数のデータとして処理される。このシリアルデータVDはシグナルジェネレータより発生するインターフェース信号に同期して外部に出力される。

以上説明したようなCCDイメージセンサ駆動方式をとれば、システムクロックと別個にデータ転送用の第2の発振回路を設けることなくR、G、B各1データ計3ビットの読み出しを行いながらY、M、C、Bkの各1データ、計4つの4×4ドットマトリクスデータを効率良く送出できる。

さらに、増幅部2におけるアンプ部103の出力には、4画素中に必ず黒レベルに相当する信号が入力するのでR、G、Bの信号の大きさが一様である状態が連続しても信号が直流信号に近似するのは黒色原稿を読み取ったときだけである。

このときの信号レベルは零であるので、DCカット部104において過剰にノイズ除去がなされても

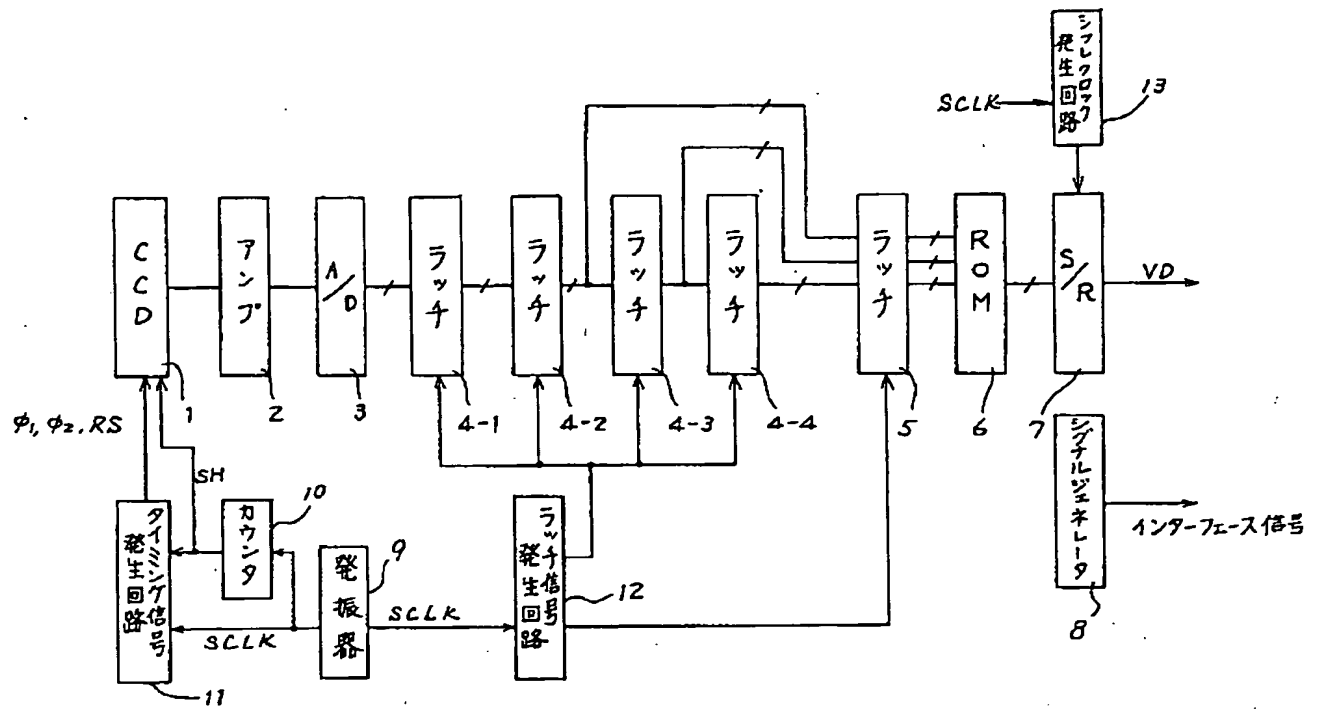
けを示す図、第8図はラインセンサの構成図、第9図は従来のセンサの駆動パルスタイミングチャート図、第10図はアナログ信号処理を説明する図である。

1はCCDカラーイメージセンサ、2は増幅器、3はA/Dコンバータ、4-1、4-2、4-3、4-4はラッチ、5はラッチ、6はROM、7はシフトレジスタである。

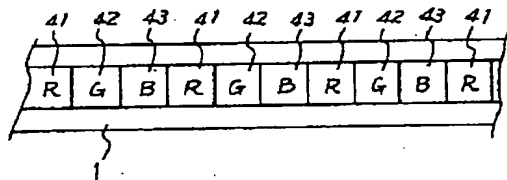
出願人 キヤノン株式会社

代理人 丸 島 儀 一

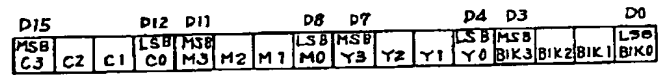




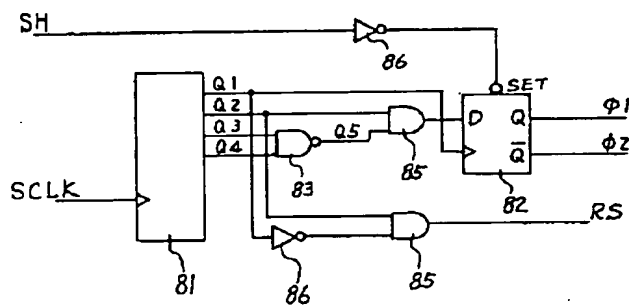
第1図 フロック図



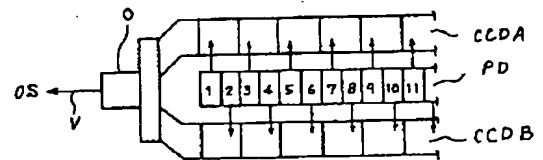
第2図 CCDのRGBパイル



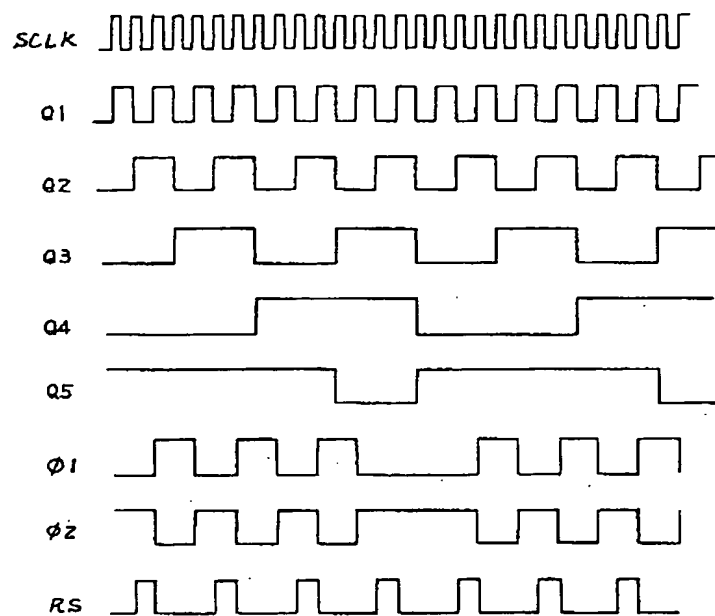
第7図



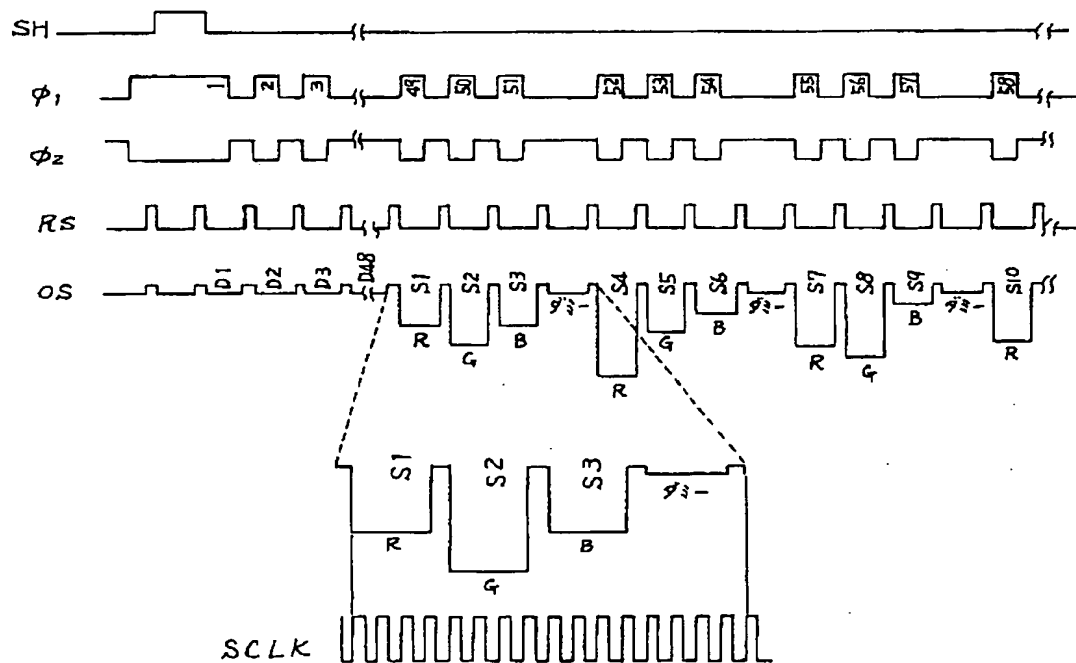
第3図



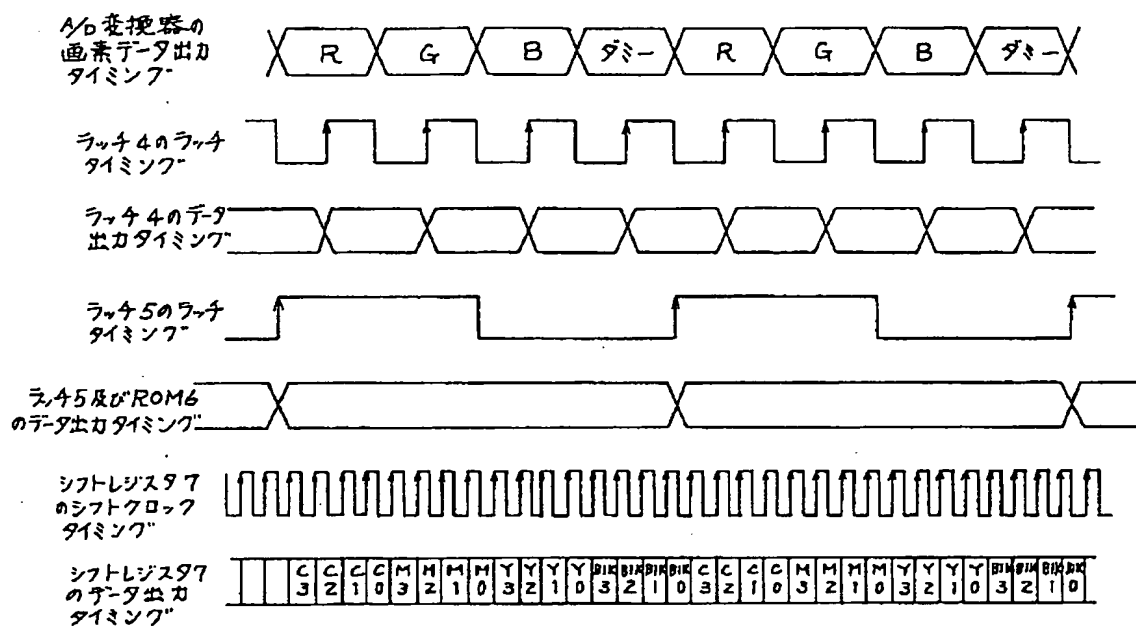
第8図



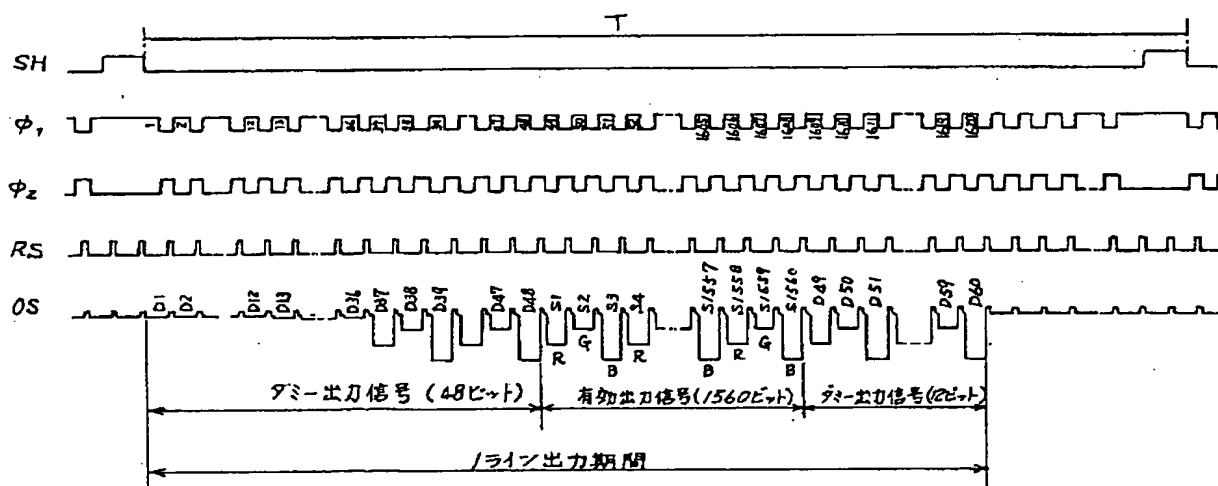
第 4 図



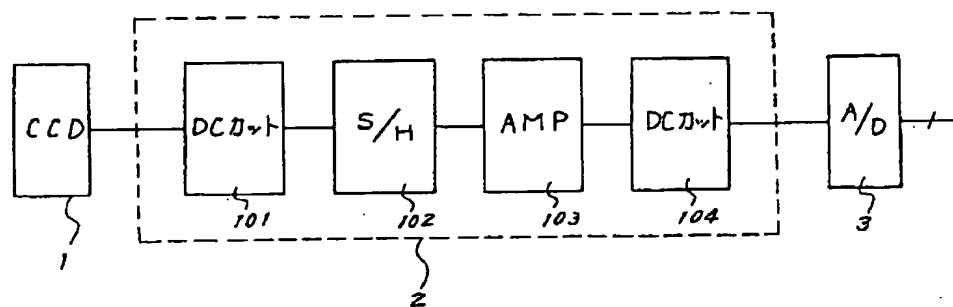
第 5 図



第 6 回



第 9 図



第 10 図